

Müller · Hoffmann & Partner - P.O. Box 80 12 20 - D-81612 München

European Patent Attorneys
European Trademark Attorneys

Dipl.-Ing. Frithjof E. Müller
Dr.-Ing. Jörg Peter Hoffmann
Dipl.-Ing. Dieter Kottmann

Europäisches Patentamt

80298 München

EPO - Munich
59

02 April 2007

Innere Wiener Strasse 17
D-81667 München

Telefon (ISDN): (089) 48 90 10 - 0
Telefax (Group 3): (089) 48 90 10-44
Telefax (Group 3): (089) 48 90 10-33
E-Mail: mail@mhp-patent.de
Internet: www.mhp-patent.de
AG München PR 314

Europäische Patentanmeldung Nr. 05 714 875.1-2203
Infineon Technologies AG
Unsere Akte: 14.082

02.04.2007
Ko/Ant/cr

Auf den Bescheid vom 27. November 2006:

1. Es werden die folgenden neuen Anmeldungsunterlagen überreicht:

 - neue Patentansprüche 1 bis 18,
 - neue Beschreibungsseiten 1 bis 17,
 - neue Bezugszeichenliste.
2. Damit sollen dem weiteren Prüfungsverfahren zunächst die folgenden Unterlagen zu Grunde gelegt werden:

 - Patentansprüche 1 bis 18 gemäß Anlage,
 - Beschreibungsseiten 1 bis 17 gemäß Anlage,
 - ursprüngliche Zeichnungsblätter 1/8 bis 8/8 mit Figuren 1 bis 12.
3. Der neue auf einen Halbleiter-Leistungsschalter gerichtete Patentanspruch 1 ist aus einer Kombination der Ansprüche 1, 4 und 5 entstanden. Der auf ein Verfahren zur Verbesserung der Sperrwirkung eines Halbleiter-Leistungsschalters gerichtete Anspruch 15 beruht auf dem bisherigen Anspruch 18.

Der auf ein Verfahren zur Herstellung eines Halbleiter-Leistungsschalters gerichtete neue Patentanspruch 16 ist auf der Basis der ursprünglichen Ansprüche 19 und 20 formuliert.

Die vom neuen Anspruch 1 abhängigen Ansprüche 2 bis 13 sind jeweils identisch mit den ursprünglichen Ansprüchen 6 bis 17 und der neue Anspruch 14 stimmt mit dem ursprünglichen Anspruch 2 überein.

Die vom neuen Verfahrensanspruch 16 abhängigen Ansprüche 17 und 18 stimmen jeweils mit den ursprünglichen Ansprüchen 21 und 22 überein.

4. Mit den neuen Seiten ist die Beschreibung an den neuen Anspruchssatz angepasst. Zusätzlich sind die im Internationalen Recherchenbericht bzw. im Internationalen Vorläufigen Prüfungsbericht des PCT-Verfahrens zitierten Druckschriften D1 bis D5 im neuen einleitenden Teil der Beschreibung abgehandelt.
5. Der durch den neuen Patentanspruch 1 spezifizierte Halbleiter-Leistungsschalter ist keinem der im Internationalen Recherchenbericht zitierten Druckschriften D1 bis D9 zu entnehmen und wird durch diese auch nicht nahegelegt. Zusätzlich sind wir davon überzeugt, dass auch das Herstellungsverfahren für den im Anspruch 1 spezifizierten Halbleiter-Leistungsschalter, wie es im neuen Patentanspruch 16 spezifiziert ist, durch die im Recherchenbericht zitierten Druckschriften weder neuheitsschädlich vorweggenommen noch nahegelegt ist.
6. Sollte die Prüfungskommission der Auffassung sein, dass weitere Änderungen der Beschreibung, der Ansprüche oder Zeichnungen erforderlich sind, um erteilungsreife Unterlagen zu erzielen, wird um einen weiteren Prüfungsbescheid gebeten. Ersatzweise wird eine mündliche Anhörung gemäß Art. 116(1) EPÜ beantragt.

Die Anmelderin behält sich das Recht vor, Teilanmeldungen auf der Basis der ursprünglichen Patentansprüche einzureichen.

7. Sollte die Prüfungabteilung wider Erwarten noch grundsätzliche Bedenken gegen die Patentwürdigkeit der Erfindung haben, so wird um eine - gegebenenfalls fernmündliche - Mitteilung gebeten.

Hilfsweise wird beantragt, Termin zur mündlichen Verhandlung anzuberaumen.

Für INFINEON TECHNOLOGIES AG



Dieter Kottmann

Europäischer Patentvertreter
Zusammenschluss Nr. 152

Anlagen:

- neue Patentansprüche 1 bis 18
- neue Beschreibung
- neue Bezugszeichenliste

Neue Patentansprüche

1. Halbleiter-Leistungsschalter (1, 20, 30), mit:

- einem Sourcekontakt (2),
- einem Drainkontakt (3),
- einer zwischen Sourcekontakt (2) und Drainkontakt (3) vorgesehenen Halbleiterstruktur, und
- einem Gate (5), über das ein Stromfluss zwischen Sourcekontakt (2) und Drainkontakt (3) durch die Halbleiterstruktur hindurch steuerbar ist,

wobei die Halbleiterstruktur mehrere parallel geschaltete Nanodrähte (4) aufweist, die so angeordnet sind, dass jeder Nanodraht (4) eine elektrische Verbindung zwischen dem Sourcekontakt (2) und dem Drainkontakt (3) ausbildet,

15 dadurch gekennzeichnet,

dass das Gate (5) in Form mehrerer Gatebänder (5') realisiert ist, deren Längsachsen im Wesentlichen senkrecht zu den Längsachsen der Nanodrähte (4) verlaufen, und deren Hauptoberflächen parallel zu den Längsachsen der Nanodrähte (4) ausgerichtet sind, wobei die Nanodrähte (4) innerhalb von Gräben (21) verlaufen, die zwischen den Gatebändern (5') vorgesehen sind.

2. Halbleiter-Leistungsschalter (1, 20, 30) nach Anspruch 1,

25 dadurch gekennzeichnet,

dass die Gatebänder (5') und/oder Gräben (1) äquidistant von einander beabstandet sind.

3. Halbleiter-Leistungsschalter (1, 20, 30) nach Anspruch 1

30 oder 2,

dadurch gekennzeichnet,

dass innerhalb der Gräben (21) Röhren (24) vorgesehen sind, innerhalb derer jeweils wenigstens ein Nanodraht (4) verläuft.

4. Halbleiter-Leistungsschalter (1, 20, 30) nach einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet,
dass zwischen den Gräben (21) und den Gatebändern (5') Isolationsschichten (22) vorgesehen sind.

5. Halbleiter-Leistungsschalter (1, 20, 30) nach einem der vorstehenden Ansprüche,
dadurch gekennzeichnet,
dass die Nanodrähte (4) gegeneinander isoliert sind.

6. Halbleiter-Leistungsschalter (1, 20, 30) nach einem der vorstehenden Ansprüche,
dadurch gekennzeichnet,
dass die Nanodrähte (4) gleichmäßig voneinander beabstandet sind.

7. Halbleiter-Leistungsschalter (1, 20, 30) nach einem der Ansprüche 1 bis 6,
dadurch gekennzeichnet,
dass die Gatebänder (5, 5') eine Bandbreite aufweisen, die ungefähr 1/3 des Abstands zwischen dem Sourcekontakt (2) und dem Drainkontakt (3) beträgt.

25 8. Halbleiter-Leistungsschalter (30) nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet,
dass jedes Gateband (5') in mehrere gegeneinander isolierte Gate-Unterbänder (5'') aufgespalten ist, wobei die Gate-Unterbänder (5'') übereinander angeordnet und jeweils einzeln ansteuerbar ausgestaltet sind.

9. Halbleiter-Leistungsschalter (30) nach Anspruch 8,
dadurch gekennzeichnet,
35 dass die Gate-Unterbänder (5'') eines Gatebands (5') äquidistant voneinander beabstandet sind.

10. Halbleiter-Leistungsschalter (30) nach Anspruch 9,
dadurch gekennzeichnet,
dass die vertikalen Positionen der Gate-Unterbänder (5'') ei-
nes Gatebands (5') gegenüber den vertikalen Positionen der
5 Gate-Unterbänder (5'') eines benachbarten Gatebands (5') ver-
schoben sind.

11. Halbleiter-Leistungsschalter (1, 20, 30) nach einem der
vorstehenden Ansprüche,
10 dadurch gekennzeichnet,
dass die Nanodrähte (4) halbleitende Kohlenstoff-Nanoröhren
sind.

12. Halbleiter-Leistungsschalter (1, 20, 30) nach einem der
15 vorstehenden Ansprüche,
dadurch gekennzeichnet,
dass die Nanodrähte (4)
- Silizium;
- Germanium;
20 - zumindest einen der III-V-Halbleiter BN, BP, BAs, AlN,
AlP, AlAs, AlSb, GaN, GaP, GaAs, GaSb, InN, InP, InAs,
InSb;
- zumindest einen der II-VI-Halbleiter ZnO, ZnS, ZnSe, ZnTe,
CdS, CdSe, CdTe, HgS, HgSe, HgTe, BeS, BeSe, BeTe, MgS,
25 MgSe;
- zumindest eine der Verbindungen GeS, GeSe, GeTe, SnS,
SnSe, SnTe, PbO, PbS, PbSe, PbTe,
- zumindest eine der Verbindungen CuF, CuCl, CuBr, CuI, AgF,
AgCl, AgBr, AgI;
30 enthalten.

13. Halbleiter-Leistungsschalter (1, 20, 30) nach Anspruch
11 oder 12,
dadurch gekennzeichnet,
35 dass die Nanodrähte (4) p-dotiert oder n-dotiert sind.

14. Halbleiter-Leistungsschalter (1, 20, 30) nach einem der vorstehenden Ansprüche,
dadurch gekennzeichnet,
dass die Länge der Nanodrähte (4) ((0,2µm) * (Maximalwert der 5 an dem Halbleiter-Leistungsschalter anliegenden Spannung (in V))) beträgt.

15. Verfahren zur Verbesserung der Sperrwirkung eines Halbleiter-Leistungsschalters gemäß einem der Ansprüche 8 bis 13, bei dem jedes Gateband (5') in mehrere voneinander isolierte Gate-Unterbänder (5'') aufgespalten ist, wobei die Gate-Unterbänder (5'') übereinander angeordnet und jeweils einzeln ansteuerbar ausgestaltet sind,
dadurch gekennzeichnet,
dass im Sperrzustand die Potenziale der Gate-Unterbänder (5'') so gewählt werden, dass die Band-Gap-Strukturen der Nanodrähte eine wellenförmige Gestalt annehmen.

16. Verfahren zur Herstellung eines Halbleiter-Leistungsschalters, mit den folgenden Schritten:
- Ausbilden einer Schichtstruktur auf einem Drainkontakt (3), die eine erste Isolationsschicht (7), eine darüber angeordnete Gateschicht (5) und eine über der Gateschicht angeordnete zweite Isolationsschicht (8) aufweist,
- Ausbilden von Gräben (21) in der Schichtstruktur, die bis zum Drainkontakt (3) reichen,
- Ausbilden von Nanodrähten (4) innerhalb der Gräben (21),
- Ausbilden eines Source-Kontakts (2) auf der Oberseite der Schichtstruktur, wobei das Verfahren 30 gekennzeichnet ist durch die folgenden Schritte:
- Ausbilden von ersten Gräben (25) in der Schichtstruktur,
- Auffüllen der ersten Gräben (25) mit Gateoxid (22),
- Ausbilden von zweiten Gräben (26) im Gateoxid, wobei die zweiten Gräben (26) bis zum Drainkontakt (3) reichen,
- Ausbilden von Nanodrähten (4) innerhalb der zweiten Gräben (26),

- Ausbilden eines Source-Kontakts (2) auf der Oberseite der Schichtstruktur.

17. Verfahren nach Anspruch 16,
5 dadurch gekennzeichnet,
dass der Drainkontakt (3) aus Molybdän oder Tantal besteht
bzw. diese Materialien enthält.

18. Verfahren nach Anspruch 17,
10 dadurch gekennzeichnet,
dass auf dem Molybdän oder Tantal vor Ausbilden der Schichtstruktur beziehungsweise vor Ausbilden der Nanodrähte ein Katalysator abgeschieden wird.

Beschreibung

Halbleiter-Leistungsschalter sowie dafür geeignetes Herstellungsverfahren

5

Die Erfindung betrifft einen Halbleiter-Leistungsschalter sowie ein dafür geeignetes Herstellungsverfahren.

Halbleiter-Leistungsschalter finden sich in einer Vielzahl
10 von Geräten in unserer unmittelbaren Umgebung und erweisen
dort ihre Dienste, beispielsweise bei der Steuerung und Regelungen von Lasten bis zu mehreren Kilowatt in Lampen, Motoren oder Heizungen. Auch in der Automobiltechnik wird sich in Zukunft immer mehr Leistungselektronik verbergen, um dem Wunsch
15 nach komfortablen, elektronisch regelbaren Einstellmöglichkeiten nachzukommen.

Halbleiter-Leistungsschalter sind mittlerweile in der Lage,
Spannungen bis zu 1000 V und Stromdichten bis zu 2000 A/cm²
20 zu verarbeiten. CoolMOS-Leistungsschalter erreichen Stromdichten von 2000 A/cm² und Einschaltwiderstand-Bestwerte von ca. 20 mΩmm². Ähnliche Leistungsdaten lassen sich auch mit anderen Silizium-basierenden Halbleiter-Leistungsschaltern erreichen. Die Erzielung eines möglichst geringen Einschalt-
25 Widerstandes ist dabei vorrangiges Ziel, da auf diese Weise die auftretenden Verlustleistungen beträchtlich gesenkt werden können.

US 2002/163079 A1, WO00/51186 A, US 2003/132461 A1, EP
30 0452950 A und US 2003/178617 A1 offenbaren jeweils einen Halbleiterleistungsschalter mit Source, Drain und Gate, bei dem parallele Nanodrähte zwischen Source und Drain vorgesehen sind, die Source und Drain verbinden. Insbesondere ist bei einem in den Figuren 5a-5n in US 2003/0178617 A1 veranschaulichten Halbleiterleistungsschalter ein Bündel von durch isolierende Röhren und Gatedielektrikum umhüllten Nanodrähten
35 vollständig vom Metall der Gateelektrode umgeben, so dass die

Nanodrähte bzw. Röhren einzeln das Gatemetall durchsetzen.

Die der Erfindung zugrunde liegende Aufgabe ist, einen Halbleiter-Leistungsschalter anzugeben, mit dem die oben genannten Einschaltwiderstandswerte weiter verbessert werden können.

Zur Lösung dieser Aufgabe stellt die Erfindung einen Halbleiter-Leistungsschalter gemäß Patentanspruch 1 bereit. Ferner 10 stellt die Erfindung ein Verfahren zur Verbesserung der Sperrwirkung eines erfindungsgemäßen Halbleiter-Leistungsschalters gemäß Patentanspruch 15 bereit. In Patentanspruch 16 wird ein Verfahren zur Herstellung eines Halbleiter-Leistungsschalters beschrieben. Vorteilhafte Ausgestaltungen 15 bzw. Weiterbildungen des Erfindungsgedankens finden sich in jeweiligen Unteransprüchen.

Ein die obige Aufgabe lösender, einem ersten wesentlichen Aspekt der Erfindung entsprechender Halbleiter-Leistungsschalter weist folgendes auf: einen Sourcekontakt, einen Drainkontakt, eine zwischen Sourcekontakt und Drainkontakt vorgesehene Halbleiterstruktur, und ein Gate, über das ein Stromfluss zwischen Sourcekontakt und Drainkontakt durch die Halbleiterstruktur hindurch steuerbar ist, wobei die Halbleiterstruktur mehrere parallel geschaltete Nanodrähte aufweist, die so angeordnet sind, dass jeder Nanodraht eine elektrische Verbindung zwischen dem Sourcekontakt und dem Drainkontakt ausbildet, so dass das Gate in Form mehrerer Gatebänder realisiert ist, deren Längsachsen im Wesentlichen senkrecht zu den Längsachsen der Nanodrähte verlaufen, und deren Hauptoberflächen parallel zu den Längsachsen der Nanodrähte ausgerichtet sind, wobei die Nanodrähte innerhalb von Gräben verlaufen, die zwischen den Gatebändern vorgesehen sind.

35 Durch die Verwendung von Nanodrähten können Halbleiter-Leistungsschalter gewonnen werden, deren flächenbezogener Einschaltwiderstand um Größenordnungen kleiner, und dabei er-

zielte maximale Stromdichten um Größenordnungen größer sind als bei herkömmlichen Leistungsschaltern: So ist bei einer Nanodrahtdichte von 100 Nanodrähten/ μm^2 der Einschaltwiderstand bereits um den Faktor 20 geringer und die maximale

5 Stromdichte um den Faktor 100 größer als bei herkömmlichen Halbleiter-Leistungsschaltern, beispielsweise Silizium-Leistungsschaltern. Ein weiterer Vorteil des erfindungsgemäß Halbleiter-Leistungsschalters ist, dass aufgrund interner Streueffekte der Kurzschlussstrom innerhalb eines einzelnen

10 Nanodrahts begrenzt wird, bei einer Kohlenstoff-Nanoröhre beispielsweise auf etwa 24 μA . Der erfindungsgemäß Halbleiter-Leistungsschalter kann demnach auch als Anlaufstrombegrenzer eingesetzt werden.

15 Zum besseren Verständnis der Erfindung sei im Folgenden kurz auf die physikalischen Eigenschaften von Nanodrähten eingegangen. Nanodrähte sind eindimensionale Strukturen, die metallische Eigenschaften bzw. Halbleitereigenschaften aufweisen können. "Eindimensional" bedeutet in diesem Zusammenhang,

20 dass sich aufgrund der kleinen Abmessungen der Nanodrähte (Nanometerbereich) die einzelnen Energieniveaus der Elektronen weiter als die thermische Energie ($\sim 25 \text{ meV}$) auseinanderliegen, so dass sich Elektronen nur in einem Leitungskanal aufhalten. Nanodrähte können beispielsweise Röhren (innen

25 "hohl", dünne Drähte (mit Material "gefüllt"), dünne Flächen oder auch einzelne Atomketten sein.

In dieser Erfindung werden die elektronischen Eigenschaften der Nanodrähte, beispielsweise Kohlenstoff-Nanoröhren oder

30 andere eindimensionale Strukturen, benutzt, um Bauelemente der Leistungselektronik (Schalten von mehreren Ampère) zu erzeugen, die durch ihren nanostrukturierten Aufbau eine wesentlich bessere Performanz erzielen als konventionelle Leistungs-Bauelemente. Erfindungsgemäß können also wesentlich

35 höhere Ströme/Spannungen als bei herkömmlichen Nanoelektronikbauelementen (0,1 – 5 V, 25 μA) verarbeitet werden, beispielsweise Spannungen bis mehr als 500 V und Ströme von mehr

als 2000 A/cm². Ausschlaggebend ist dabei die Kombination aus einer Parallelschaltung mehrerer Nanodrähte und der hohen Ladungsträgermobilität in diesen eindimensionalen Gebilden, verbunden mit einer Skalierungsvorschrift für die Länge dieser Nanodrähte.

Die im erfindungsgemäßen Halbleiter-Leistungsschalter eingesetzten Nanodrähte können prinzipiell eine beliebige Struktur aufweisen und bestehen aus Material mit Halbleiter-
10 Eigenschaften, beispielsweise Silizium oder Kohlenstoff, wobei erfindungsgemäß insbesondere Kohlenstoff-Nanoröhren Verwendung finden. Der geringe Einschaltwiderstand, der sich mit Nanodrähten erzielen lässt, beruht darauf, dass Elektronen, die durch einen Nanodraht geleitet werden, statistisch mit
15 einer sehr viel geringeren Wahrscheinlichkeit gestreut werden als Elektronen, die durch einen ausgedehnten Halbleiterkristall hindurchfließen. So zeigen z. B. Kohlenstoff-Nanoröhren die höchste je bei Raumtemperatur gemessene Mobilität von über 100000 cm²/Vs.

20 Die Länge der Nanodrähte beträgt vorzugsweise ((0,2 µm) * (Maximalwert der an dem Halbleiter-Leistungsschalter anliegenden Spannung in Volt)). Die Erfindung ist jedoch nicht auf diese Faustregel beschränkt.

25 Die Parallelschaltung der Nanodrähte lässt sich auf mehrerelei Arten realisieren. Vorzugsweise sind die Nanodrähte als „Stäbchen“ ausgebildet, die parallel zueinander verlaufen, wobei ein Ende eines jeden Stäbchens den Sourcekontakt, und
30 das andere Ende den Drainkontakt kontaktiert. Die Nanodrähte müssen jedoch nicht zwingend eine stäbchenförmige Ausgestaltung aufweisen, auch krummlinige Formen sind prinzipiell möglich. Wichtig ist, dass jeder Nanodraht eine eigenständige elektrische Verbindung zwischen Sourcekontakt und Drainkontakt herstellt, so dass eine Parallelschaltung elektrischer Verbindungen zwischen Source- und Drainkontakt besteht.

Bei der Erfindung ist das Gate in Form mehrerer Gatebänder realisiert, deren Längsausrichtung jeweils senkrecht zur Ausrichtung der Nanodrähte verläuft, und deren Querausrichtung der Ausrichtung der Nanodrähte entspricht, wobei die Nanodrähte gegenüber dem Gate, d. h. den Gatebändern, elektrisch isoliert sind. In dieser Ausführungsform wird das Gate also nicht durch die Nanodrähte durchstoßen, vielmehr verlaufen die Nanodrähte parallel zu Oberflächen der Gatebänder. Dabei verlaufen die Nanodrähte innerhalb von Nanodrahtgräben, die zwischen den Gatebändern vorgesehen sind, d. h. Nanodraht-Gräben und Gatebänder wechseln miteinander ab.

Prinzipiell können die Gatebänder und/oder Gräben beliebig voneinander beabstandet sein, vorzugsweise sind die Gatebänder und/oder die Nanodraht-Gräben jedoch äquidistant voneinander beabstandet.

Innerhalb der Nanodraht-Gräben können Röhren vorgesehen werden, innerhalb derer jeweils wenigstens ein Nanodraht verläuft; vorzugsweise verlaufen innerhalb einer Röhre mehrere Nanodrähte. Die Röhren dienen hierbei als Führung während des Aufwachsprozesses der Nanodrähte.

Zur Isolation der Nanodrähte gegenüber den Gatebändern können beispielsweise zwischen den Nanodraht-Gräben und den Gatebändern Isolationsschichten vorgesehen werden.

Da das Gate in Form mehrerer Gatebänder realisiert ist, können die Nanodrähte innerhalb der Nanodraht-Gräben bzw. innerhalb der Röhren einander auch kontaktieren bzw. eine inhomogene Beabstandung zueinander aufweisen.

Die Gatebänder weisen vorzugsweise eine Schichtdicke/Bandweite auf, die ungefähr ein Drittel des Abstands zwischen dem Sourcekontakt und dem Drainkontakt beträgt. Die Erfindung ist jedoch nicht auf derartige Dicken/Breiten beschränkt, beliebige andere Werte sind ebenfalls möglich.

Die Gatebänder können jeweils aus einer zusammenhängenden Schicht bestehen oder jeweils in mehrere voneinander isolierte Gate-Unterbänder aufgespalten sein. Im letzteren Fall verläuft die Längsausrichtung jedes Gate-Unterbands senkrecht zur Ausrichtung der Nanodrähte, wobei die Querausrichtung der Gate-Unterbänder der Ausrichtung der Nanodrähte entspricht. Jedes Gateband ist also in mehrere kleine, parallel zueinander verlaufende Unterbänder aufgeteilt, die die gleiche Ausrichtung wie das Gateband aufweisen.

Die Gate-Unterbänder sind vorzugsweise einzeln ansteuerbar ausgestaltet, d. h. jedes der Gate-Unterbänder kann auf ein individuelles Potenzial gesetzt werden. Vorteilhafterweise sind die Gate-Unterbänder eines Gatebandes äquidistant von einander beabstandet. Die vertikalen Positionen der Gate-Unterbänder eines bestimmten Gatebands können gegenüber den vertikalen Positionen der Gate-Unterbänder benachbarter Gatebänder verschoben beziehungsweise gleichgerichtet sein.

Bei einer Aufspaltung der Gatebänder in Gate-Unterbänder kann die Sperrwirkung des erfindungsgemäßen Halbleiter-Leistungsschalters wie folgt verbessert werden: Im Sperrzustand werden die Potenziale der Gate-Unterbänder so gewählt, dass die Band-Gap-Strukturen der Nanodrähte eine wellenförmige Gestalt annehmen. Dies kann beispielsweise dadurch erreicht werden, dass die Potenziale übereinander liegender Gate-Unterbänder alternierende Werte aufweisen, d.h. zwei unmittelbar übereinander angeordnete Gate-Unterbänder weisen unterschiedliche Potenziale auf, das Potenzial jedes zweiten Gate-Unterbands hat hingegen denselben Wert. Die benachbarten Gate-Unterbänder auf einer Ebene (gleiche vertikale Position) sollten im Sperrzustand in diesem Beispiel dasselbe Potenzial aufweisen. Die alternierende Potenzialstruktur bewirkt, dass das Band-Gap (Bandabstand) der zwischen den benachbarten Gate-Unterbänder liegenden Nanodrähte in eine wellenförmige Struktur gebogen wird. Die wellenförmige Struktur bewirkt hierbei

ein Einfangen von Elektronen bzw. Löchern, die sich zwischen dem Source- und Drainkontakt bewegen, womit der Stromfluss zwischen Source- und Drainkontakt behindert wird, was wiederum die Sperrfähigkeit des Halbleiter-Leistungsschalters verbessert. Im Durchlasszustand des Halbleiter-Leistungsschalters werden die Gate-Unterbänder eines Gatebands hingegen auf gleiches Potenzial gesetzt, d.h. in diesem Fall werden alle Gate-Unterbänder auf dasselbe Potenzial gesetzt. Damit wird die wellenförmige Bandstruktur aufgehoben und eine Verbesserung der Durchlasseigenschaften der Halbleiterstruktur (Nanodrähte) für Löcher und Elektronen erzielt.

Die Nanodrähte sind in einer bevorzugten Ausführungsform halbleitende Kohlenstoff-Nanoröhren. Die Nanodrähte können

15 - Silizium;
- Germanium;
- zumindest einen der III-V-Halbleiter BN, BP, BAs, AlN, AlP, AlAs, AlSb, GaN, GaP, GaAs, GaSb, InN, InP, InAs, InSb;

20 - zumindest einen der II-VI-Halbleiter ZnO, ZnS, ZnSe, ZnTe, CdS, CdSe, CdTe, HgS, HgSe, HgTe, BeS, BeSe, BeTe, MgS, MgSe;

- zumindest eine der Verbindungen GeS, GeSe, GeTe, SnS, SnSe, SnTe, PbO, PbS, PbSe, PbTe,

25 - zumindest eine der Verbindungen CuF, CuCl, CuBr, CuI, AgF, AgCl, AgBr, AgI;

enthalten oder eine Kombination aus diesen Materialien enthalten. Die Nanodrähte können p-dotiert oder n-dotiert sein.

30 Ferner ist ein die obige Aufgabe lösendes Verfahren zur Herstellung eines Halbleiter-Leistungsschalters, mit den folgenden Schritten: Ausbilden einer Schichtstruktur auf einem Drainkontakt, die eine erste Isolationsschicht, eine darüber angeordnete Gateschicht und eine über der Gateschicht angeordnete zweite Isolationsschicht aufweist, Ausbilden von Gräben in der Schichtstruktur, die bis zum Drainkontakt reichen,

Ausbilden von Nanodrähten innerhalb der Gräben, Ausbilden eines Source-Kontakts auf der Oberseite der Schichtstruktur, die folgenden Schritte: Ausbilden von ersten Gräben in der Schichtstruktur, Auffüllen der ersten Gräben mit Gateoxid,

5 Ausbilden von zweiten Gräben im Gateoxid, wobei die zweiten Gräben bis zum Drainkontakt reichen, Ausbilden von Nanodrähten innerhalb der zweiten Gräben, Ausbilden eines Source-Kontakts auf der Oberseite der Schichtstruktur.

10 Der Drainkontakt ist vorzugsweise ein Molybdän- oder Tantalblech, kann aber auch ein Siliziumsubstrat sein, das mit einer Metallschicht versehen ist. Zur Verbesserung des Aufwachsverhaltens der Nanodrähte kann vor deren Ausbildung auf dem Molybdän- oder Tantalblech oder dem Siliziumsubstrat vor

15 Ausbilden der Schichtstruktur bzw. unmittelbar vor Ausbilden der Nanodrähte (d.h. nach Ausbilden der Gräben) ein Katalysator abgeschieden werden. Zur Stabilisierung des Herstellungsverfahrens kann der Drainkontakt zunächst auf einem Opfersubstrat ausgebildet werden, das nach Fertigstellung des Halbleiter-Leistungsschalters dann aufgelöst wird.

20

Die Erfindung wird im Folgenden unter Bezugnahme auf die Figuren in beispielweiser Ausführungsform näher erläutert. Es zeigen:

25

Fig. 1 ein nicht zur Erfindung zählendes Vergleichsbeispiel eines Halbleiter-Leistungsschalters in Querschnittsdarstellung.

30 Fig. 2

eine erste bevorzugte Ausführungsform eines erfindungsgemäßen Halbleiter-Leistungsschalters in Querschnittsdarstellung.

Fig. 3a bis 3b

35 einen ersten bis vierten Prozessschritt eines Herstellungsverfahrens zur Herstellung des in Fig. 2 gezeigten Halbleiter-Leistungsschalters.

Fig. 4 eine erste Ausführungsvariante des in Fig. 2 gezeigten Halbleiter-Leistungsschalters in einer Draufsicht.

5 Fig. 5 eine zweite Ausführungsvariante des in Fig. 2 gezeigten Halbleiter-Leistungsschalters in einer Draufsicht.

10 Fig. 6 eine zweite bevorzugte Ausführungsform des erfindungsgemäßen Halbleiter-Leistungsschalters in Querschnittsdarstellung.

15 Fig. 7 eine Bandstruktur, die in einem Sperrzustand in dem in Fig. 6 gezeigten Halbleiter-Leistungsschalter auftritt.

20 Fig. 8 eine Bandstruktur, die im Durchlasszustand in dem in Fig. 6 gezeigten Halbleiter-Leistungsschalter auftritt.

25 Fig. 9 ein Diagramm, das die Abhängigkeit des Einschaltwiderstands von der Nanodrahtdichte bei dem in Fig. 1 gezeigten Vergleichsbeispiels verdeutlicht.

30 Fig. 10 ein Diagramm, das die Abhängigkeit der maximal möglichen Stromdichte von der Nanodrahtdichte bei dem in Fig. 1 gezeigten Vergleichsbeispiels illustriert.

35 Fig. 11 ein Diagramm, das den Zusammenhang einer maximal möglichen Nanodrahtdichte bei einer vorgegebenen Spannungsdifferenz zwischen Nanodrähten und dem Gate für das in Fig. 1 gezeigte Vergleichsbeispiel eines Halbleiter-Leistungsschalter illustriert.

Fig. 12 ein Diagramm, das eine maximal mögliche Stromdichte durch den Halbleiter-Leistungsschalter in Abhängigkeit der Nanodrahtdichte illustriert.

5

In den Figuren sind identische bzw. einander entsprechende Teile mit denselben Bezugsziffern gekennzeichnet.

Das in Fig. 1 gezeigte Vergleichsbeispiel 1 eines erfindungsgemäßen Halbleiter-Leistungsschalters weist einen Sourcekontakt 2, einen Drainkontakt 3, eine Mehrzahl von Nanodrähten 4, ein Gate 5, einen Gateanschluss 6, eine erste Isolationsschicht 7, und eine zweite Isolationsschicht 8 auf.

Die Nanodrähte 4 sind parallel und im Wesentlichen äquidistant zueinander angeordnet, wobei die oberen Enden der Nanodrähte 4 mit dem Sourcekontakt 2, und die unteren Enden der Nanodrähte 4 mit dem Drainkontakt 3 elektrisch in Verbindung stehen. Das Gate 5 ist in Form einer Gateschicht ausgestaltet, die von den Nanodrähten 4 durchstoßen werden, wobei die Nanodrähte 4 gegenüber dem Gate 5 (der Gateschicht) elektrisch isoliert sind. Damit ist eine koaxiale Anordnung der Gateelektrode gegenüber den Nanodrähten gegeben, so dass man die bestmögliche kapazitive Kopplung der Gate-Elektrode an den Nanodraht erhält. Die Länge der Nanodrähte beträgt vorzugsweise ($(0,2 \mu\text{m}) * (\text{Maximalwert der an dem Halbleiter-Leistungsschalter anliegenden Spannung (in Volt)})$). Die Dicke der Gateschicht 5 beträgt vorzugsweise ein Drittel des Abstandes zwischen dem Sourcekontakt 2 und dem Drainkontakt 3. Die Gateschicht 5 sollte sich näher an demjenigen Kontakt befinden, dessen Potenzial dem Erdungspotenzial am nächsten liegt (hier: dem Drainkontakt). Die Gateschicht 5 kann beispielsweise eine quadratische, kreisförmige oder auch ringförmige Form aufweisen.

Wie bereits erwähnt, empfiehlt sich je nach zu erzielender Spannungsfestigkeit des Halbleiter-Leistungsschalters eine

35

Länge der Nanodrähte von 0,2 µm pro angelegtem Volt Spannung, d. h. bei 100 Volt Betriebsspannung beispielsweise eine Länge von 15 bis 25 µm. Nanodrähte dieser Länge weisen eine sehr hohe Mobilität von ca. 100.000 cm²/Vs auf.

5

Der in Fig. 1 gezeigte Aufbau lässt sich insbesondere auf quadratmillimeter- bzw. quadratzentimetergroße Halbleiter-Leistungsschalter anwenden. Jedoch ist eine Anwendung auf kleinere bzw. größere Halbleiter-Leistungsschalter ebenfalls

10 denkbar.

In Fig. 9 ist der erzielbare Einschaltwiderstand der in Fig. 1 gezeigten Anordnung in Abhängigkeit der Nanodrahtdichte aufgezeigt. Die mit Bezugsziffer 9 gekennzeichnete Kennlinie entspricht einem angenommenen Einschalt-Widerstandswert von 15 500 kΩ pro Nanodraht, die mit Bezugsziffer 10 gekennzeichnete Kennlinie einem angenommenen Einschalt-Widerstandswert von 200 kΩ pro Nanodraht. Die mit Bezugsziffer 11 gekennzeichnete Kennlinie entspricht der derzeit bestmöglichen Kennlinie eines herkömmlichen Halbleiter-Leistungsschalters, der beispielweise auf Silizium-Technologie basiert. Aus Fig. 9 ist ersichtlich, dass die Eigenschaften des in Fig. 1 gezeigten Halbleiter-Leistungsschalters wesentlich besser sind als die eines herkömmlichen Halbleiter-Leistungsschalters.

25

In diesem Zusammenhang sei noch auf Fig. 10 eingegangen, die die Stromtragfähigkeit der in Fig. 1 gezeigten Anordnung in Abhängigkeit der Nanodrahtdichte zeigt. Bezugsziffer 12 bezeichnet hierbei die derzeit bestmögliche Kennlinie eines 30 herkömmlichen Halbleiter-Leistungsschalters, Bezugsziffer 13 die Kennlinie des in Fig. 1 gezeigten Vergleichsbeispiel eines Halbleiter-Leistungsschalters. Es ist deutlich zu sehen, dass Letzterer die besseren Werte aufweist.

35

Das in Fig. 1 gezeigte Vergleichsbeispiel einer Halbleiter-Leistungsschaltung kann beispielsweise wie folgt hergestellt werden: Zunächst wird auf einem NaCl-, SiO₂-, Si- oder einem

sonstigen Substrat ein Kontaktmaterial, beispielsweise Molybdän, aufgebracht. Auf dem Substrat wird ein geeigneter Katalysator abgeschieden. Beispielsweise eignet sich Eisen, Nickel, Kobalt oder Verbindungen dieser Elemente für das Aufwachsen von Si-Nanodrähten oder Nanodrähten aus II-V oder IV Halbleitern. Für den speziellen Fall von Kohlenstoffnanoröhren sollte der Katalysator ein silizidbildendes Material sein wie z. B. Gold, Silber oder Platin. Sodann wird die erste Isolationsschicht 7 (beispielsweise Oxid), auf der wiederum die Gateschicht 5 abgeschieden wird, aufgebracht. Die Gateschicht 5 wird strukturiert und mit Dielektrikum versehen, d.h. die Gateschicht mit Löchern, die bis zur Isolationsschicht 7 reichen, versehen und diese Löcher dann erneut durch eine Isolationsschicht aufgefüllt. Auf der Gateschicht 5 wird die zweite Isolationsschicht 8 aufgebracht. Sodann werden Löcher in die Schichtstruktur aus erster Isolationsschicht 7, Gateschicht 5, und zweiter Isolationsschicht 8 geätzt und in den Löchern Nanoröhren bzw. Nanodrähte gewachsen.

Alternativ hierzu können ein Schichtstapel, bestehend aus erster Isolationsschicht 7, Gate 5, und zweiter Isolationsschicht 8 abgeschieden, und mit einem Trockenätzprozess Löcher bis zum Boden geätzt werden. Die Löcher werden nochmals durch Abscheidung einer Isolationsschicht mit einem Atomic-Layer-Deposition- (ALD) oder einem CVD-Verfahren verjüngt, wobei gleichzeitig das Gateoxid über dem Gate realisiert wird. Ein Spacer-Ätzprozess legt dann erneut den Boden/Katalysator frei, und die Nanodrähte 4 werden in den erzeugten Löchern gewachsen.

Eventuelle Hohlstellen können beispielsweise mit einem Spin-on-Glas versiegelt werden. Elektrodenposition ist möglich. Auf die Oberseite der Schichtstruktur wird der Sourcekontakt 2 aufgebracht. Das Substrat (Opfersubstrat) wird aufgelöst, womit das Kontaktmaterial (Drainkontakt 3) freigelegt wird.

In Fig. 2 ist eine erste Ausführungsform 20 des erfindungsge-

mäßen Halbleiter-Leistungsschalters gezeigt. Ein wesentlicher Unterschied zu dem in Fig. 1 gezeigten Vergleichsbeispiel ist, dass das Gate in Form mehrerer Gatebänder 5' realisiert ist, deren Längsausrichtung jeweils senkrecht zur Ausrichtung der Nanodrähte 4 verläuft, also aus der Zeichenebene heraus bzw. in die Zeichenebene hinein zeigt, und deren Querausrichtung der Ausrichtung der Nanodrähte 4 entspricht. Die Nanodrähte 4 sind innerhalb von Gräben 21 angeordnet. Jedes Gateband 5' wird durch Isolierschichten (Gateoxidschichten) 22 gegenüber den Nanodrähten 4 elektrisch isoliert. Oberhalb und unterhalb der Gatebänder 5' sind weitere Isolierschichten (Oxidschichten) 23 vorgesehen.

In Fig. 4 und 5 sind Draufsichten zwei möglicher Ausführungsformen des in Fig. 2 gezeigten Halbleiter-Leistungsschalters veranschaulicht. In Fig. 4 sind die Nanodrähte 4 inhomogen innerhalb der Gräben 21 verteilt, in Fig. 5 sind innerhalb der Gräben 21 mehrere Röhren 24 vorgesehen, wobei innerhalb jeder Röhre 24 wenigstens ein Nanodraht 4 verläuft. Auch bei der in Fig. 2 gezeigten Ausführungsform beträgt eine Breite B der Gatebänder 5' vorzugsweise ein Drittel des Abstands zwischen dem Sourcekontakt 2 und dem Drainkontakt 3.

Im Folgenden soll unter Bezugnahme auf die Figuren 3a bis 3d eine bevorzugte Ausführungsform des erfindungsgemäßen Herstellungsverfahrens des in Fig. 2 gezeigten Halbleiter-Leistungsschalters näher erläutert werden.

In einem ersten Schritt (Fig. 3a) wird auf einem Drainkontakt 3 eine erste Isolationsschicht 7, darauf eine Gateschicht 5, und darauf wiederum eine zweite Isolierschicht 8 aufgebracht. In einem zweiten Schritt (Fig. 3b) werden in der so entstandenen Schichtstruktur erste Gräben 25 ausgebildet, beispielsweise durch einen Ätzprozess. Durch das Ausbilden der ersten Gräben 25 entstehen Gatebänder 5' sowie darauf bzw. darunter angeordnete Isolierschichten 23. Die ersten Gräben 25 reichen vorzugsweise bis zum Drainkontakt 3 hinab.

In einem dritten Schritt (Fig. 3c) werden die ersten Gräben 25 mit einem Isolationsmaterial aufgefüllt, und anschließend in dem Isolationsmaterial zweite Gräben 26 ausgebildet. Die zweiten Gräben 26 reichen bis zum Drainkontakt 3 hinab. Die 5 Gatebänder 5' bzw. die darüber/darunter liegenden Isolations- schichten 23 sind nach diesem Prozessschritt von Isolier- schichten 22 umgeben.

In einem vierten Prozessschritt (Fig. 3d) werden in den zweiten Gräben 26 Nanodrähte 4 aufgewachsen. Anschließend erfolgt 10 die Ausbildung eines Sourcekontakte 2.

Die in Fig. 2 gezeigte erste Ausführungsform der Erfindung hat gegenüber dem in Fig. 1 gezeigten Vergleichsbeispiel den 15 Vorteil, dass die „Durchschlagsfestigkeit“ des Halbleiter- Leistungsschalters bei gleichzeitiger Wahrung einer hohen Na- nodraht-Dichte höher ist:

Der in Fig. 1 gezeigte Halbleiter-Leistungsschalter des Ver- 20 gleichsbeispiels hat den Nachteil, dass bei Anliegen von ho- hen Spannungen auch entsprechend dicke Isolierschichten, die die Nanodrähte gegenüber dem Gate 5 isolieren, verwendet wer- den müssen, um einen Durchschlag durch die Isolierschicht zu verhindern. Bei einer anzulegenden Spannung von 100 V sollte 25 beispielsweise die Dicke der Isolierschicht mindestens 100 nm betragen. Dies würde jedoch bedeuten, dass bei einer koaxia- len Realisierung in Fig. 1 unter Verwendung einer hexagonal dichtesten Packung von Nanodrähten maximal eine Dichte von 20 Nanodrähten pro μm^2 möglich wären, was herkömmliche Silizium- 30 schalter nur um einen Faktor 2 hinsichtlich der Einschaltwi- derstände und um einen Faktor 10 hinsichtlich der Strombe- lastbarkeit verbessern würde. Die in Fig. 2 gezeigte Ausfüh- rungsform der Erfindung verwendet deshalb parallele Gatebän- 35 der 5' für den Halbleiter-Leistungsschalter mit vertikal aus- gerichteten Nanodrähten 4. Mit dieser Ausführungsform können trotz Spannungen von ca. 500 V Dichten von ungefähr 2000 Na- nodrähten (beispielsweise Carbon-Nanodrähte oder Silizium-

Nanodrähte) pro μm^2 erzielt werden.

Die Dicke des Drainkontakte beträgt ungefähr 10 bis 200 μm , wobei der Drainkontakt 3 vorzugsweise aus Molybdän oder Tantal besteht bzw. diese Materialien enthält. Auf dem Drainkontakt 3 ist zudem vorzugsweise eine Katalysatorschicht aufgebracht.

In diesem Zusammenhang sei noch auf die Fig. 11 und 12 verwiesen. Fig. 11 zeigt die maximal mögliche Nanodrahtdichte in Abhängigkeit angenommener Spannungsdifferenzen zwischen Nanodrähten und Gate für den in Fig. 1 gezeigten Halbleiter-Leistungsschalter mit koaxialem Gate für jeweils einen einzigen Nanodraht. Es ist zu sehen, dass bei hohen Spannungsdifferenzen nur geringe Nanodrahtdichten möglich sind. In Fig. 12 ist die Stromdichte gegenüber der Nanodrahtdichte für einen herkömmlichen Halbleiter-Leistungsschalter (Kennlinie 27) und für das in Fig. 2 gezeigte erfindungsgemäße Halbleiter-Leistungsbauteil (Kennlinie 28) gezeigt („CNT“ entspricht „Carbon-Nanotube“ bzw. „Carbon-Nanoröhre“). Die Kennlinie 27 gilt insbesondere für Silizium-Leistungsschalter.

In Fig. 6 ist eine zweite Ausführungsform 30 des erfindungsgemäßen Halbleiter-Leistungsschalters gezeigt. Diese Ausführungsform unterscheidet sich von der in Fig. 2 gezeigten Ausführungsform dadurch, dass die in Fig. 2 gezeigten Gatebänder 5' jeweils in mehrere Gate-Unterbänder 5'' aufgespalten sind. Die Gate-Unterbänder 5'' sind gegeneinander elektrisch isoliert und in dieser Ausführungsform äquidistant voneinander beabstandet. Jedes der Gate-Unterbänder 5'' kann unabhängig von den anderen Gate-Unterbändern 5'' auf einen individuellen Potenzialwert gelegt werden. Wenn die Gate-Unterbänder 5'' eines Gatebands 5' alternierend auf eine positive/negative Gatespannung gelegt werden, so lässt sich eine wellenförmige Bandabstandsstruktur („band gap“) erzeugen, so wie in Fig. 7 schematisch dargestellt. Die wellenförmige Bandabstandsstruktur 31 bewirkt, dass Löcher, die von dem Drainkontakt 3 zu

dem Sourcekontakt 2 wandern wollen „eingefangen“ werden. Äquivalentes gilt auch für die Elektronen, die in Fig. 7 nicht explizit eingezeichnet sind, in Fig. 7 aber von der mit Bezugsziffer 2 gekennzeichneten Elektrode zu der mit Bezugsziffer 3 gekennzeichneten Elektrode tunneln. Damit lassen sich die Sperreigenschaften des Halbleiter-Leistungsschalters wesentlich verbessern: Im Sperrzustand werden, wie oben beschrieben, die Gate-Unterbänder 5'' mit Spannung versorgt, so dass die in Fig. 7 gezeigte wellenförmige Bandabstandsstruktur entsteht. Im Durchlasszustand des Halbleiter-Leistungsschalters werden hingegen sämtliche Gate-Unterbänder 5'' eines Gatebands 5' mit derselben Gatespannung beaufschlagt, so dass die in Fig. 8 gezeigte Bandabstandsstruktur 32 entsteht. Löcher können nun ungehindert von dem Drainkontakt 3 zu dem Sourcekontakt 2 wandern.

Die in Fig. 6 gezeigte zweite Ausführungsform 30 ermöglicht demnach, unter normalen Umständen auftretende Tunneleffekte von Elektronen/Löchern durch die an dem Sourcekontakt 2 und dem Drainkontakt 3 vorhandene Schottky-Barriere durch Ausbilden der wellenförmigen Band-Gap-Struktur 31 im Sperrzustand zu unterdrücken. Dazu werden die Gate-Unterbänder 5'' abwechselnd „gebiased“, wodurch ein hohes Abschnürverhalten der Ladungsträger resultiert, wobei die Abschnürstärke exponentiell mit der Anzahl n der \pm -modulierten Gebiete ansteigt. Damit kann bei gleichem Durchlassstrom im Durchlasszustand der Tunnelstrom (Leckstrom) im Sperrzustand um einen Faktor e^n reduziert werden. "eV" bezeichnet hierbei die angelegte Spannung. Da es sich um ein Energiediagramm handelt ist diese Spannung mit "e" multipliziert.

Erfnungsgemäß werden demnach Gatestrukturen mit abwechselnd leitenden und nicht-leitenden Schichten vorgesehen, die mit abwechselnder Polarität als multiple Gateanordnung verschaltet werden.

Literatur:

Volume 88, No. 25, PHYSICAL REVIEW LETTERS, 24. Juni 2002

„Multiple Functionality in Nanotube Transistors“

François Léonard and J. Tersoff

5 Volume 85, No. 22, PHYSICAL REVIEW LETTERS, 27. November 2000

„Negative Differential Resistance in Nanotube Devices“

François Léonard and J. Tersoff

Bezugszeichenliste

- 1 Vergleichsbeispiel
- 2 Sourcekontakt
- 5 3 Drainkontakt
- 4 Nanodraht
- 5 Gate
- 5' Gateband
- 5'' Gate-Unterband
- 10 6 Gateanschluss
- 7 erste Isolationsschicht
- 8 zweite Isolationsschicht
- 9 Kennlinie
- 10 Kennlinie
- 15 11 Kennlinie
- 12 Kennlinie
- 13 Kennlinie
- 20 erste Ausführungsform
- 21 Graben
- 20 22 Isolierschicht
- 23 Isolierschicht
- 24 Röhre
- B Breite des Gatebands
- 25 erste Gräben
- 25 26 zweite Gräben
- 27 Kennlinie
- 28 Kennlinie
- 30 zweite Ausführungsform
- 31 Bandabstandsstruktur
- 30 32 Bandabstandsstruktur



EPA/EPO/OEB
D-80298 München

+49 89 2399-0
TX 523 656 epmu d
FAX +49 89 2399-4465

Europäisches Patentamt

Generaldirektion 2

European Patent Office

Directorate General 2

Office européen des brevets

Direction Générale 2

Kottmann, Heinz Dieter
Patentanwälte
MÜLLER & HOFFMANN,
Innere Wiener Strasse 17
81667 München
ALLEMAGNE

Telefonnummern:

Beauftragter Prüfer +49 89 2399-7674
(Sachprüfungsfragen)

Formalsachbearbeiter/Assistent +49 89 2399-0
(Formalangelegenheiten und
andere Fragen)



Anmeldung Nr. 05 714 875.1 - 2203	Zeichen 14082 Ko/p	Datum 27.11.2006
Anmelder Infineon Technologies AG		

Bescheid gemäß Artikel 96(2) EPÜ

Die Prüfung der obengenannten Anmeldung hat ergeben, daß sie den Erfordernissen des Europäischen Patentübereinkommens aus den beigefügten Gründen nicht genügt. Werden die genannten Mängel nicht behoben, so kann die Anmeldung nach Artikel 97(1) EPÜ zurückgewiesen werden.

Sie werden aufgefordert, innerhalb einer Frist

von 4 Monaten

gerechnet von der Zustellung dieses Bescheides, Ihre Stellungnahme einzureichen und die angeführten Mängel, soweit diese behebbar sind, zu beseitigen. Die Frist berechnet sich nach den Bestimmungen der Regeln 78(2), 83(2) und (4) EPÜ.

Änderungen zur Beschreibung, zu den Ansprüchen und den Zeichnungen sind gegebenenfalls innerhalb der genannten Frist in einem Exemplar auf gesonderten Blättern (Regel 36(1) EPÜ) einzureichen.

Unterlassen Sie es, auf diese Aufforderung rechtzeitig zu antworten, so gilt die europäische Anmeldung als zurückgenommen (Artikel 96(3) EPÜ).



Dauw, Xavier
Beauftragter Prüfer
für die Prüfungsabteilung

Anlagen: 1 Seite/n Gründe (Form 2906)



Bescheid/Protokoll (Anlage)	Communication/Minutes (Annex)	Notification/Procès-verbal (Annexe)
Datum Date Date 27.11.2006	Blatt Sheet Feuille 1	Anmelde-Nr.: Application No.: Demande n°: 05 714 875.1

Der Prüfung werden folgende Anmeldungsunterlagen zugrunde gelegt:

Beschreibung, Seiten

1-18 ursprüngliche Fassung

Ansprüche, Nr.

1-22 ursprüngliche Fassung

Zeichnungen, Blätter

1/8-8/8 ursprüngliche Fassung

Für die vorliegende Anmeldung wurde bereits ein internationaler vorläufiger Bericht zur Patentfähigkeit / internationaler vorläufiger Prüfungsbericht gemäß PCT erstellt. Die in diesem vorläufigen Bericht aufgezeigten Mängel geben daher zu Einwänden unter den entsprechenden Bestimmungen des EPÜ Anlass.



P.B.5818 - Patentlaan 2
2280 HV Rijswijk (ZH)
P (070) 3 40 20 40
FAX (070) 3 40 30 16

Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Generaldirektion 1

Directorate General 1

Direction générale 1



Kottmann, Heinz Dieter
Patentanwälte
MÜLLER & HOFFMANN,
Innere Wiener Strasse 17
81667 München
ALLEMAGNE

EPA Kundendienst
Tel.: +31 (0)70 340 45 00

Datum
06.09.06

Zeichen 14082 Ko/tp	Anmeldung Nr./Patent Nr. 05714875.1 - 2203 PCT/DE2005000069
Anmelder/Patentinhaber Infineon Technologies AG	

**Mitteilung der europäischen Veröffentlichungsnummer und Information zur Anwendung von
Artikel 67(3) EPÜ**

Der einstweilige Schutz gemäss Artikel 67(1) und (2) EPÜ in den jeweiligen Vertragsstaaten wird nur wirksam, wenn die in Artikel 67(3) EPÜ genannten Voraussetzungen erfüllt sind (nähtere Einzelheiten können der Informationsbroschüre des Europäischen Patentamts "Nationales Recht zum EPÜ" und den ergänzenden Informationen im Amtsblatt des Europäischen Patentamts entnommen werden).

Gemäss Artikel 158(1) EPÜ tritt die nach Artikel 21 PCT erfolgte Veröffentlichung einer internationalen Anmeldung, für die das Europäische Patentamt Bestimmungsamt ist, an die Stelle der Veröffentlichung der europäischen Patentanmeldung.

Die bibliografischen Daten der oben genannten Euro-PCT-Anmeldung werden am 04.10.06 in Abschnitt I.1 des Europäischen Patentblattes veröffentlicht werden. Die europäische Veröffentlichungsnummer ist 1706906.

Sie werden gebeten, künftig bei allen Mitteilungen an das Europäische Patentamt die um die Direktionsnummer ergänzte Anmeldenummer als Referenz anzugeben.

Eingangsstelle





P.B.5818 - Patentlaan 2
2280 HV Rijswijk (ZH)
Σ (070) 3 40 20 40
FAX (070) 3 40 30 16

Europäisches
Patentamt

Generaldirektion 1

European
Patent Office

Directorate General 1

Office européen
des brevets

Direction générale 1

SEIDEL, Robert
Perlacher Str. 13
81537 München
ALLEMAGNE



EPA Kundendienst
Tel.: +31 (0)70 340 45 00

Datum
25.08.06

Zeichen	Anmeldung Nr./Patent Nr. 05714875.1-2203-DE2005000069
Anmelder/Patentinhaber Infineon Technologies AG	

Übersendung der gemäss Artikel 128(5) EPÜ vorgesehenen Angaben (Regel 17(3) EPÜ)

In der oben genannten Anmeldung sind Sie als Erfinder/Miterfinder genannt worden.
Gemäss Regel 17(3) EPÜ erhalten Sie hiermit die in Artikel 128(5) EPÜ vorgesehenen Angaben:

ANMELDETAG : 19.01.05
PRIORITY : DE/22.01.04/ DEA102004003374
BEZEICHNUNG : HALBLEITER-LEISTUNGSSCHALTER SOWIE DAFÜR
GEEIGNETES HERSTELLUNGSVERFAHREN
BENANNTTE VERTRAGSSTAATEN : AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IS IT LI
LT LU MC NL PL PT RO SE SI SK TR



TPG Post

Port betaald
Port payé
Pays-Bas



Europäisches Patentamt
European Patent Office
Office Européen des Brevets
P.O. Box 5818
2280 HV RIJSWIJK (ZH)
Niederlande/Netherlands/Pays-Bas



EPA EPO OEB
tel.: (070) 3404616

05 SEP 2006

CN15

Zurück/Retourverhulst

Empfänger/Firma unter der angegebenen Anschrift nicht zu ermitteln Incomplexe/insuffisante Dernierdag
Empfänger verzogen, Einwilligung zur Weitergabe der neuen Anschrift liegt nicht vor. Refusé
 Annahme verweigert Non reclamé
 Nicht abgeholt Non admis
 Nicht zulässig Non admis

Rücksendung am/Retour le:
26.08.06

4.111



P.B.5818 - Patentlaan 2
2280 HV Rijswijk (ZH)
T (070) 3 40 20 40
FAX (070) 3 40 30 16

Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Generaldirektion 1

Directorate General 1

Direction générale 1



Kottmann, Heinz Dieter
Patentanwälte
MÜLLER & HOFFMANN,
Innere Wiener Strasse 17
81667 München
ALLEMAGNE

EPA Kundendienst
Tel.: +31 (0)70 340 45 00

Datum
29-08-2006

Zeichen 14082 Ko/tp	Anmeldung Nr./Patent Nr. 05714875.1 - 2203 PCT/DE2005000069
Anmelder/Patentinhaber Infineon Technologies AG	

Mitteilung nach Regel 109 und 110 EPÜ

1) Änderung der Anmeldungsunterlagen, insbesondere der Patentansprüche (R. 109 EPÜ)

Die oben genannte internationale Anmeldung (Euro-PCT) ist in die europäische Phase eingetreten bzw. kann, wenn die notwendigen Voraussetzungen noch erfüllt werden, in die europäische Phase eintreten.

Gemäss Artikel 28, 41 PCT, Regel 52, 78 PCT und Regel 86(2) bis (4) EPÜ hat der Anmelder die Möglichkeit, nach Erhalt des internationalen Recherchenberichts geänderte Anmeldungsunterlagen einzureichen.

Unabhängig davon, ob der Anmelder von dieser Möglichkeit bereits Gebrauch gemacht hat, wird ihm jetzt nochmals Gelegenheit gegeben, geänderte Unterlagen (insbesondere geänderte Patentansprüche) innerhalb einer (nicht verlängerbaren) Frist von einem Monat nach Zustellung dieser Mitteilung einzureichen (R. 109 EPÜ).

Die bei Ablauf dieser Frist vorliegenden Patentansprüche, die entweder bereits beim Eintritt in die europäische Phase vorgelegen haben oder erst jetzt eingereicht werden, bilden die Grundlage für die Berechnung der Anspruchsgebühren (s. Seite 2) und für die ergänzende Recherche, falls eine solche gemäss Artikel 157(2) EPÜ durchzuführen ist (R. 109 EPÜ).

**2) Anspruchsgebühren nach Regel 110 EPÜ**

Enthalten die Anmeldungsunterlagen, die dem europäischen Patenterteilungsverfahren zu grunde zu legen sind, mehr als zehn Ansprüche, so ist für den elften und jeden weiteren Anspruch innerhalb der Frist nach Regel 107(1) EPÜ eine Anspruchsgebühr zu entrichten.

Ausgehend von den derzeit vorliegenden Anmeldungsunterlagen wurden alle fälligen Anspruchsgebühren bereits entrichtet (bzw. diese enthalten nicht mehr als 10 Ansprüche).

Die fälligen Anspruchsgebühren werden automatisch abgebucht/sind automatisch abgebucht worden gemäss dem automatischen Abbuchungsauftrag.

Die fälligen Anspruchsgebühren für die Ansprüche bis sind nicht entrichtet worden.

Eventuelle noch nicht bezahlte Anspruchsgebühren, die auf der Grundlage des derzeit vorliegenden Anspruchssatzes oder von geänderten Ansprüchen nach Regel 109 EPÜ zu berechnen sind (s. Seite 1), können noch innerhalb einer (nicht verlängerbaren) Frist von **einem Monat** nach Zustellung dieser Mitteilung entrichtet werden (R. 110(2) EPÜ).

Werden die fälligen Anspruchsgebühren nur teilweise entrichtet, so sind die Patentansprüche anzugeben, auf die sich die Zahlung bezieht. Wird die Anspruchsgebühr für einen Patentanspruch nicht rechtzeitig entrichtet, so gilt dies als Verzicht auf den Anspruch (R. 110(4) EPÜ).

Falls bereits Anspruchsgebühren entrichtet worden sind, jedoch bei Ablauf der oben genannten Frist ein neuer Anspruchssatz vorliegt, der weniger gebührenpflichtige Ansprüche als der frühere Anspruchssatz enthält, so werden die Anspruchsgebühren zurückerstattet, welche die nach Regel 110(2) Satz 2 EPÜ fälligen Gebühren übersteigen (R. 110(3) EPÜ).

Es wird darauf aufmerksam gemacht, dass eine nach Artikel 157(2) EPÜ durchzuführende ergänzende Recherche sich nur auf den bei Ablauf der oben genannten Frist vorliegenden, letzten Anspruchssatz bezieht UND darüber hinaus auch nur diejenigen gebührenpflichtigen Patentansprüche recherchiert werden, für die Anspruchsgebühren fristgerecht entrichtet worden sind.

Die Anspruchsgebühr für den elften und jeden weiteren Anspruch beträgt derzeit EUR 45,00.

Eingangsstelle